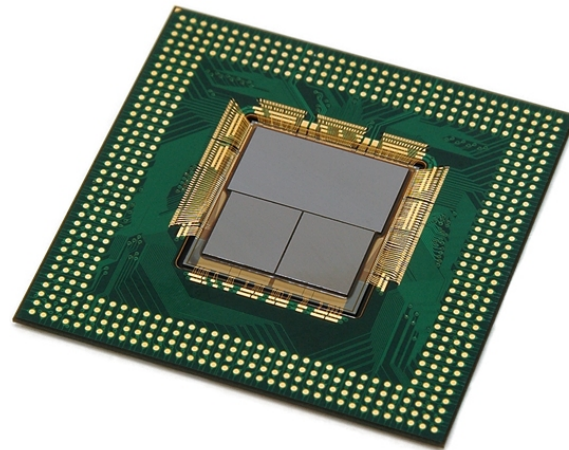


LIQUID

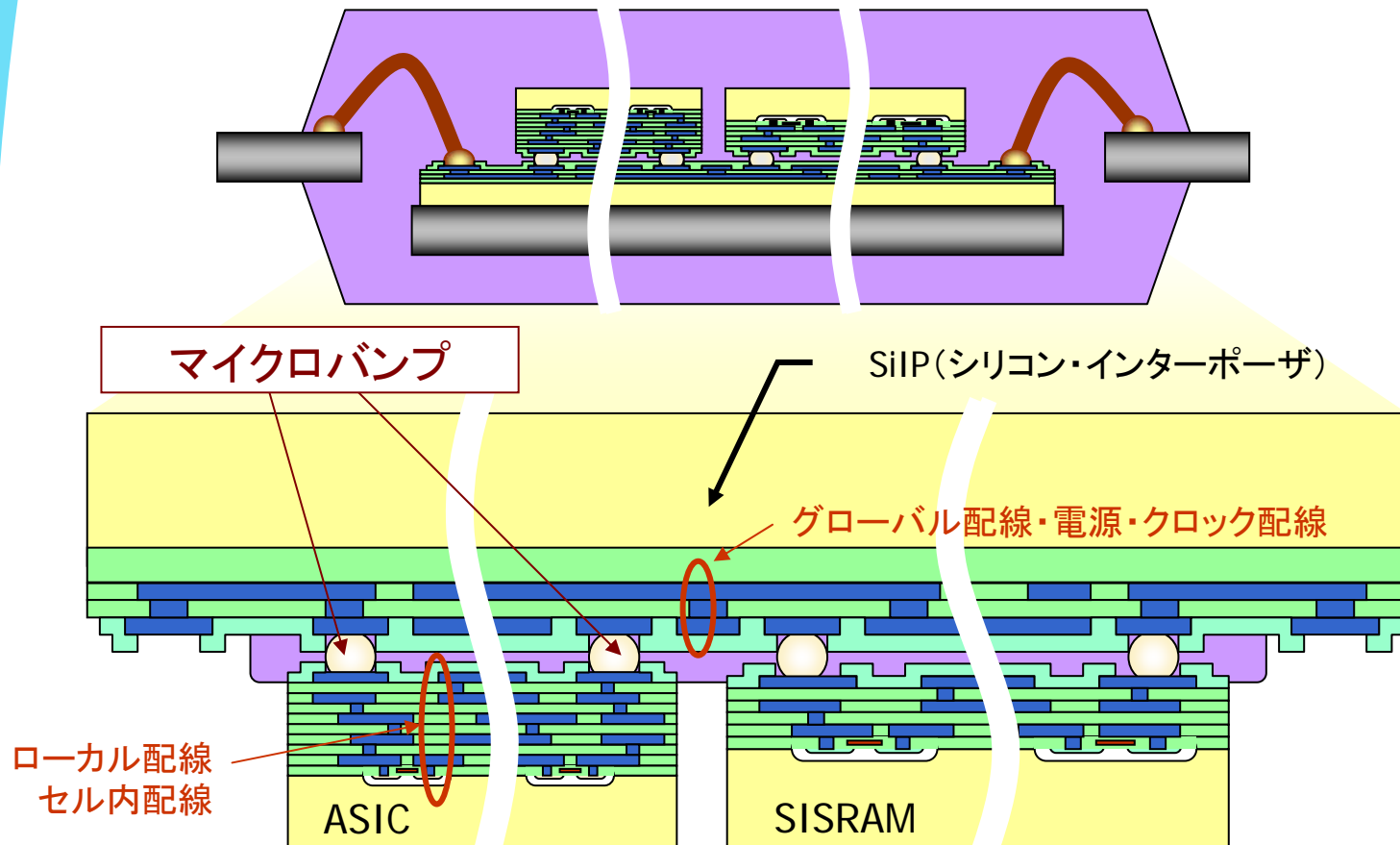
3次元実装技術 システム・イン・シリコンの紹介



目次

- SiS技術の紹介
- 特許情報
- ロードマップ

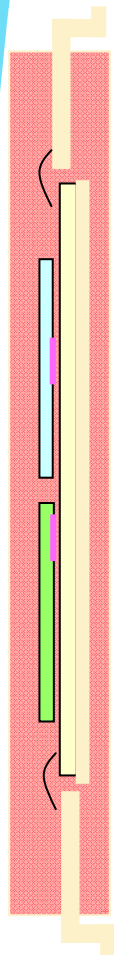
System-in-Silicon[®]の構造



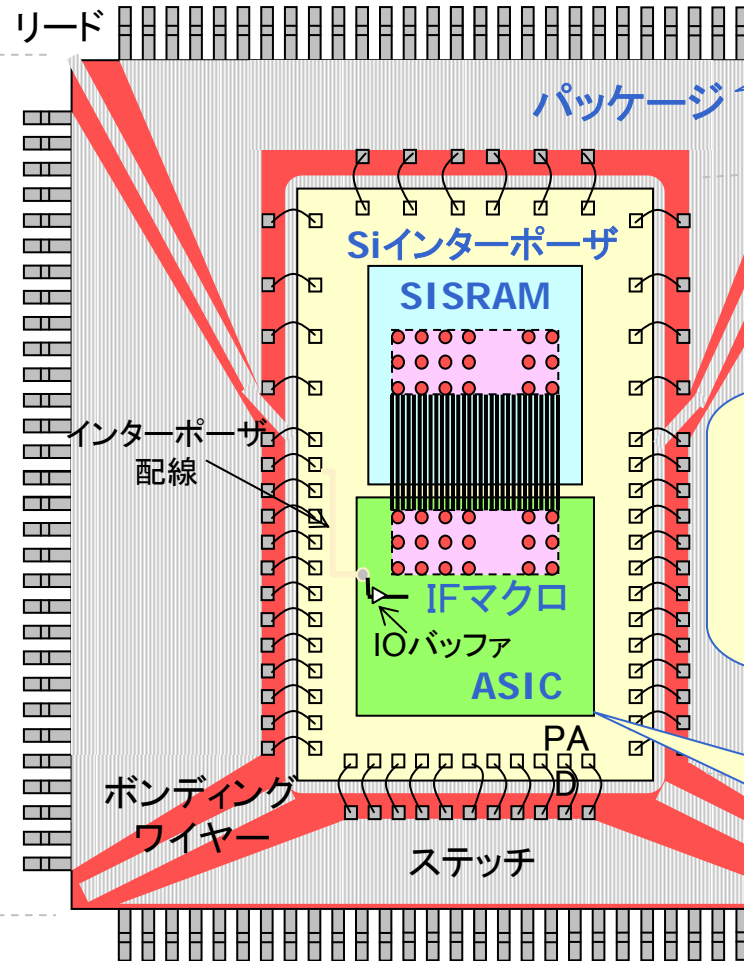
- 異なるテクノロジーのチップをマイクロハンブで接続
- SoCの設計手法+マルチチップでの製造

System-in-Siliconの構造と特徴

【断面図】

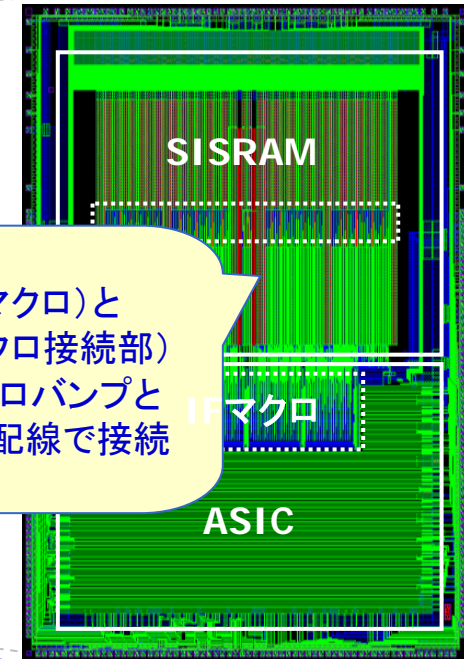


【組立イメージ図】



パッケージ状態で
・バンプ接続部テスト可能
・メモリテスト(BIST)可能
・不良ビット・ワードの特定が可能

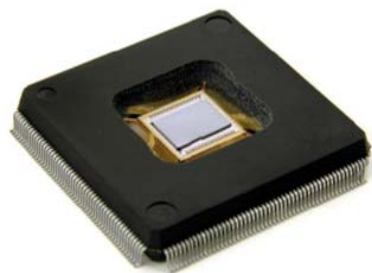
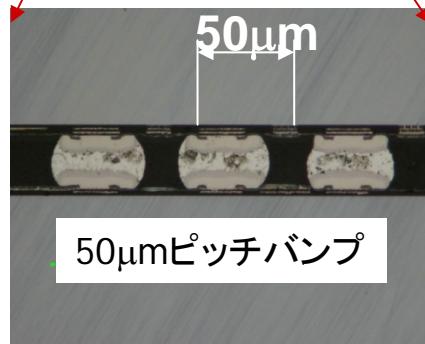
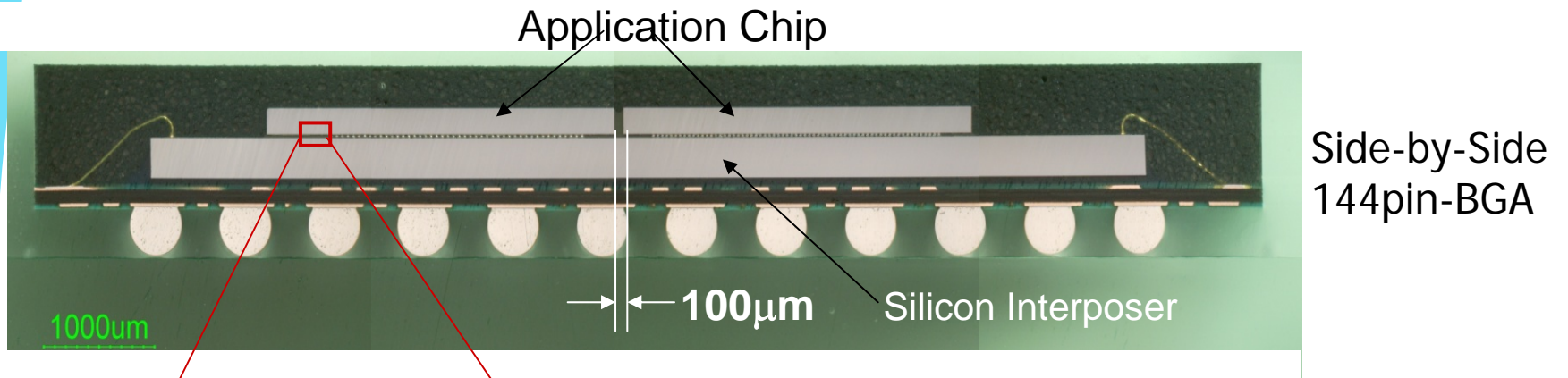
Siインターポーザ



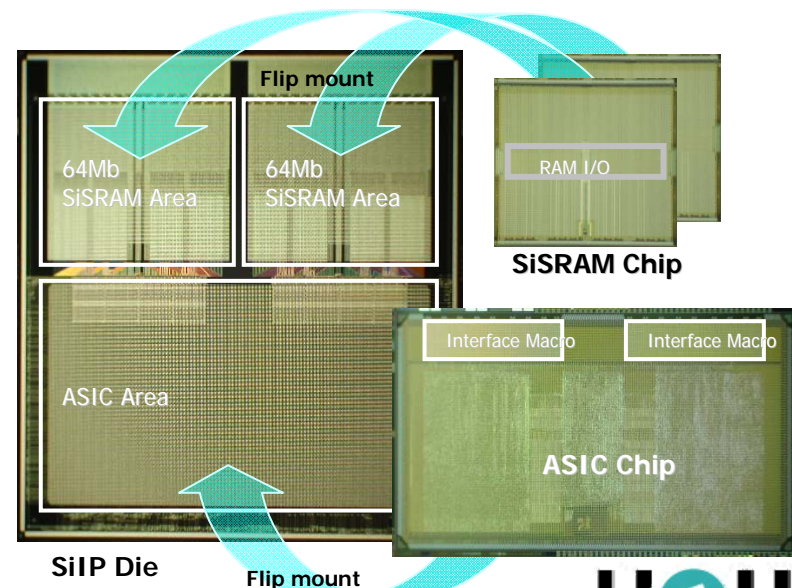
ASIC(IFマクロ)と
SISRAM(マクロ接続部)
の間をマイクロバンプと
インターポーザ配線で接続

ASICのPADはW/Sテスト目的に使用
ボンディングはインターポーザPADで行う

SISテストチップ断面写真

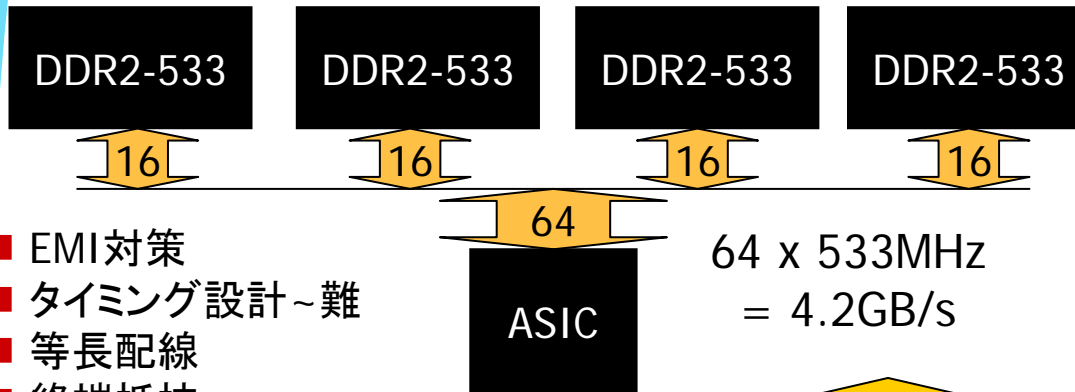


Side-by-Side 256pin-BGA (ISSCC 2006)



DDR技術とSISを比較して(1)

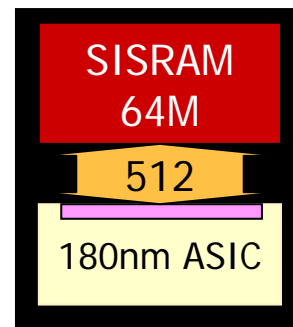
DDRで実現した場合



- EMI対策
- タイミング設計~難
- 等長配線
- 終端抵抗
- Rambus特許...

SiSで実現した場合

- 1チップ化=実装面積
- タイミング設計~易
- 低消費電力
- 端子数削減 ...



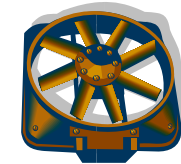
512 x 66MHz
= 4.2GB/s

“System-in-Silicon”

同じ
バンド幅

インターフェース回路を含む
メモリ消費電力

~ 4W



~ ファン有

消費電力
< 1/8

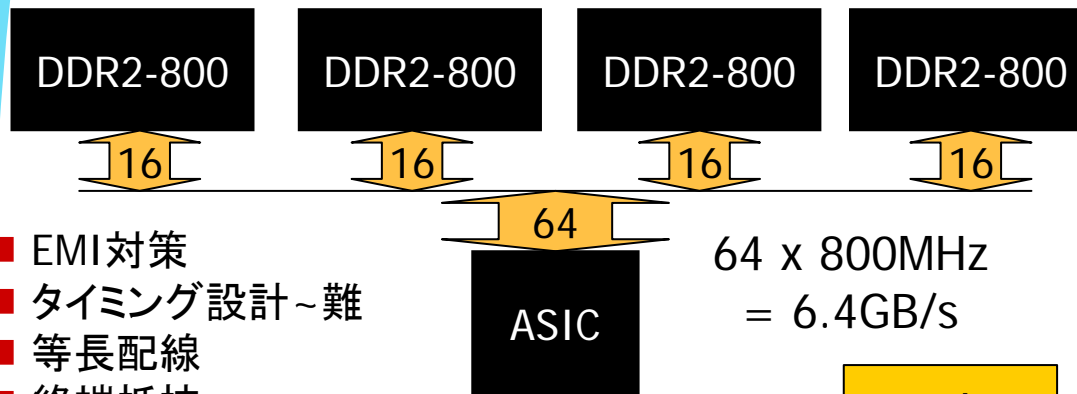
~ 500mW



~ ファン無

DDR技術とSISを比較して(2)

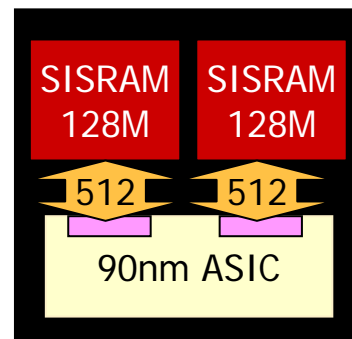
DDRで実現した場合



- EMI対策
- タイミング設計~難
- 等長配線
- 終端抵抗
- Rambus特許...

SiSで実現した場合

- 1チップ化=実装面積
- タイミング設計~易
- 低消費電力
- 端子数削減 ...



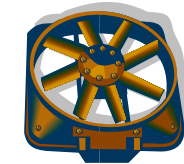
より広い
バンド幅

1024 x 66MHz
= 8.4GB/s

“System-in-Silicon”

インターフェース回路を含む
メモリ消費電力

> 4W



~ ファン有

消費電力
< 1/4

~1W



~ ファン無

消費電力比較

Memory Type	Data Rate	Power for VDD	Power for Interface	Total Power consumption
MobileDDR333 (x32:167MHz) 2 pieces	$333\text{M} \times 32 \times 2 / 8 = 2.67\text{GB/s}$	$P = 150\text{mA} \times 2 \times 1.8\text{V} = 540\text{mW}$ @VDD=1.8V	$P = 20\text{pF} \times 64 \times 1.2\text{V} \times 1.2\text{V} / 6\text{ns} / 2 = 153.6\text{mW}$ @VDDQ=1.2V CL(I/O)=20pF	$P_{\text{total}} = 540 + 153.6 = 693.6\text{mW}$
256MSISRAM (x256:100MHz)1 piece	$100\text{M} \times 256 / 8 = 3.2\text{GB/s}$	$P = 100\text{mA} \times 1.2\text{V} = 120\text{mW}$ @VDD=1.2V	$P = 1.5\text{pF} \times 256 \times 1.2\text{V} \times 1.2\text{V} / 20\text{ns} / 2 = 13.9\text{mW}$ @VDDQ=1.2V CL(D/Q)=1.5pF	$P_{\text{total}} = 120 + 13.9 = 133.9\text{mW}$
512MSISRAM (x512:100MHz)1 piece	$100\text{M} \times 512 / 8 = 6.4\text{GB/s}$	$P = 100\text{mA} \times 1.2\text{V} \times 2 = 240\text{mW}$ @VDD=1.2V	$P = 1.5\text{pF} \times 512 \times 1.2\text{V} \times 1.2\text{V} / 20\text{ns} / 2 = 27.7\text{mW}$ @VDDQ=1.2V CL(D/Q)=1.5pF	$P_{\text{total}} = 240 + 27.7 = 267.7\text{mW}$

目次

- SiS技術の紹介
- 特許情報
- ロードマップ

特許状況

- ・国内登録……6件
IPBパテントスコア: 高い
レイティング: A+からA-
- ・国内
審査中……1件
審査前……8件
- ・外国
PCT……3件
台湾……2件(審査中)

技術分野

- SIS構造
 - インターポーターの実装構造
 - バンプ構造
- SISRAM回路
 - バンド幅向上のためのDRAM回路
- SISの試験
 - バンプ接続
 - SISRAM回路テスト

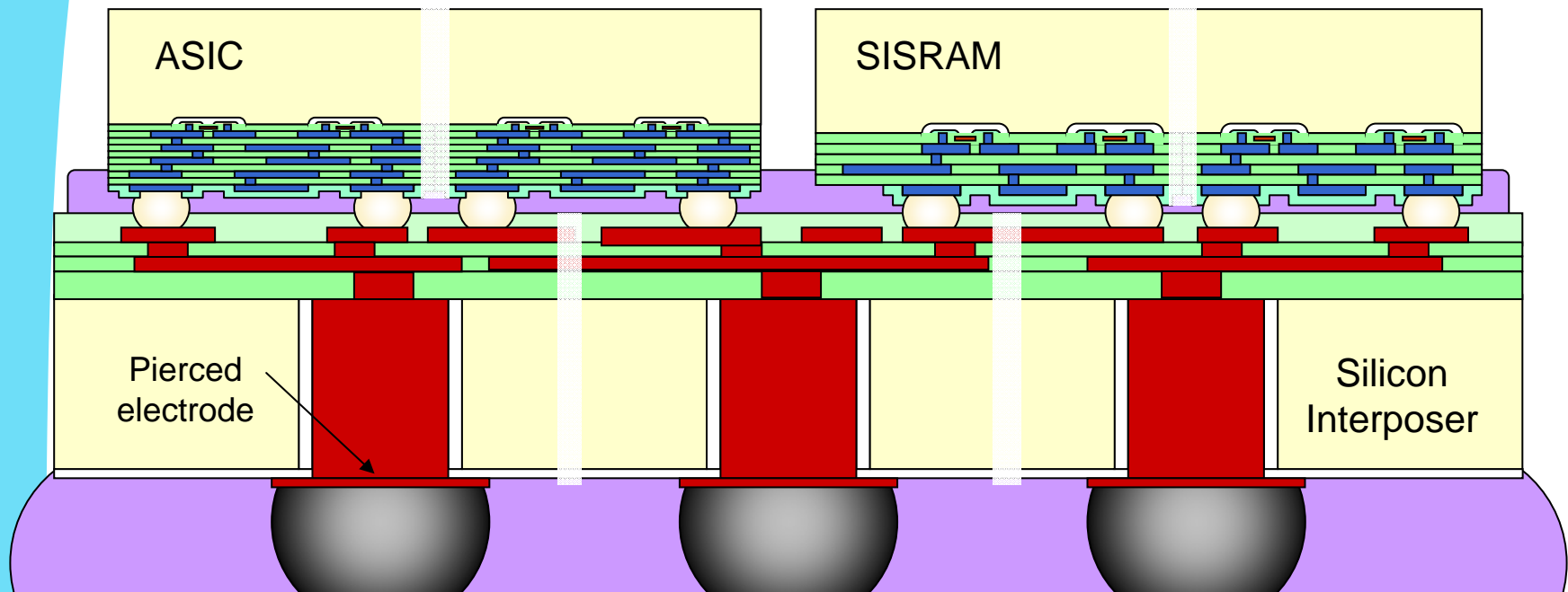
取得済み6件のSIS関連特許

発明の名称	出願番号	公開番号/ 登録番号	特徴
半導体記憶装置	特願2005-232160	特許第4099499号 (2008-3-21)	DRAM回路のアクセスをランダムアクセス速度を犠牲にしないでバースト動作を実現する。
半導体装置 (SFT-WOC6の (特願2004-217735の優先権))	特願2005-215989	特許第3774468号 (2006-2-14)	配線チップとメモリチップとASICチップとを有し、メモリチップおよびASICチップと配線チップとをバンプを介して、接合する半導体装置であって、メモリチップの一边およびASICチップの一边が対向して配置される。実施例(ダミーバンプ)を追加して、優先権出願する。バンプを千鳥状に構成と補正
半導体装置 (対向I/Oアレー)	特願2005-346148	特許第3895756号 (2006-12-5)	Si-インター・ポーザ (SiIP)の両面にASICとメモリを実装し、SiIPを最短距離で結線する
半導体装置 (I/Oアレー部を有するASIC・DRAMチップ)	特願2005-362144	特許第4099502号 (2008-3-21)	I/Oアレー部の構成とI/Oアレー部を有するASICチップ、DRAMチップ
BIST回路	特願2005-360969	特許第3887656号 (2006-12-8)	入力されたテスト用データをメモリセルに記憶させるデータとしてメモリチップ103へ出力し、一致不一致回路136又は一致不一致回路142により、メモリアレイ130から読み出したテスト用データに基づいてメモリセルの欠陥の有無を判定する。
半導体装置 (ダム)	特願2005-346667	特許第3904587号 (2007-1-19)	メモリチップおよびASICチップと配線チップとをバンプを介して、接合する半導体装置であって、該メモリチップおよびASICチップと配線チップとの間に充填したアンダーフィル樹脂を有し、該樹脂がバンプに流れないようにしたダム構造。

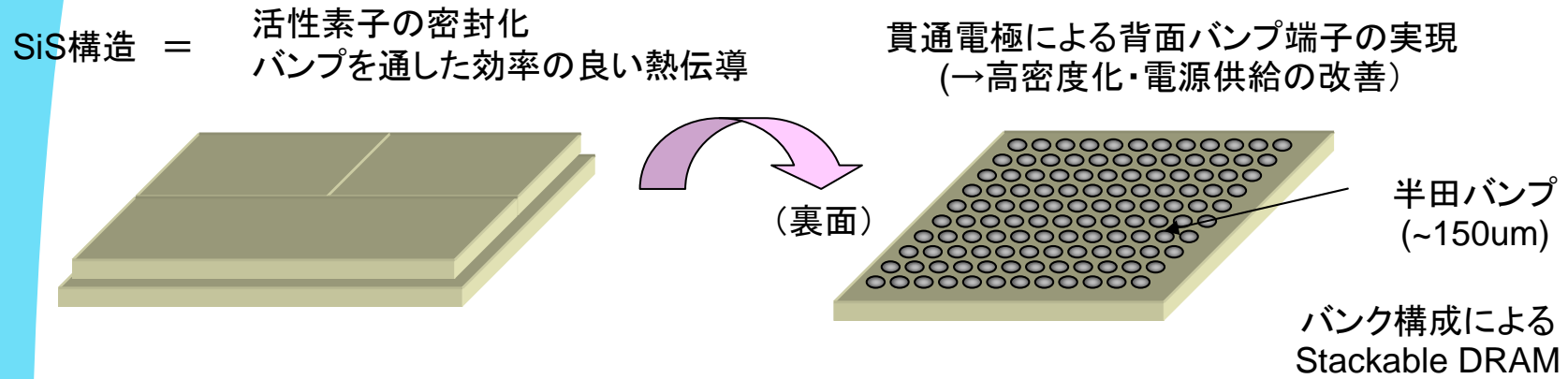
目次

- SiS技術の紹介
- 特許情報
- ロードマップ

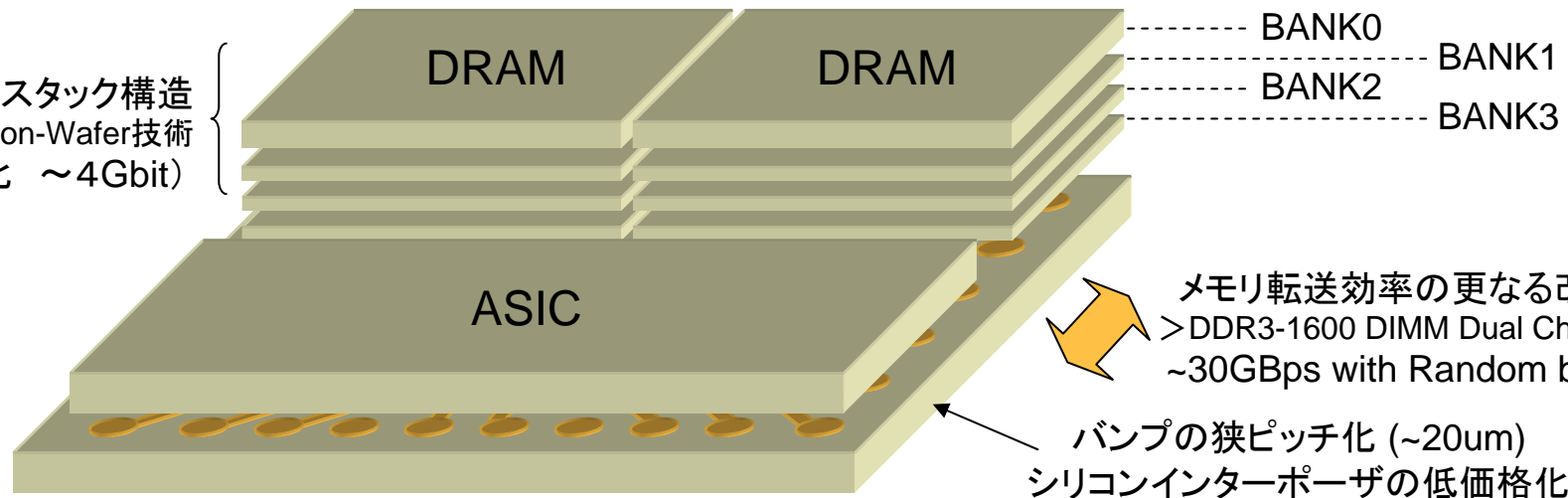
SIS/貫通電極 (TSV) モデル



SISRAMのスタック構造モデル



メモリのスタック構造
with Wafer-on-Wafer技術
(大容量化 ~4Gbit)



集積化に伴う外部端子の削減
ハードIPの導入 (FLASH/高速IO/電源チップ) → プラットフォーム化

2004/12/29
K. Yoshida